

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

Y. Horiguchi

7/13/00

Q 60098

10f1

JC836 U.S. PTO

09/615705



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 8月20日

出 願 番 号

Application Number:

平成11年特許願第234811号

出 願 人

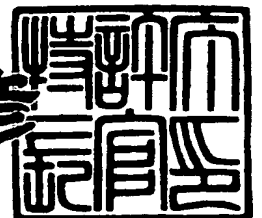
Applicant (s):

日本電気株式会社

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3033446

【書類名】 特許願

【整理番号】 74410335

【提出日】 平成11年 8月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04
H01L 29/78

【発明の名称】 半導体集積回路装置

【請求項の数】 19

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 堀口 洋子

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 一端が電源電圧を供給する電源配線に接続され、かつ他端が、接地電位を供給する接地電位配線に接続された MOS 容量と、前記接地電位配線の一端が接続された接地端子と、該接地端子と前記 MOS 容量との間に該 MOS 容量に並列に接続された静電保護素子とを有する半導体集積回路装置であって、前記静電保護素子の一端が接続された前記接地電位配線上の接続点と前記接地端子との間における前記接地電位配線の配線抵抗が、前記静電保護素子の一端が接続された前記接地電位配線上の接続点と前記 MOS 容量の他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする半導体集積回路装置。

【請求項 2】 一端が電源電圧を供給する電源配線に接続され、かつ他端が、接地電位を供給する接地電位配線に接続された静電保護素子と、前記接地電位配線の一端が接続された接地端子と、該接地端子と前記静電保護素子との間に該静電保護素子に並列に接続された MOS 容量とを有する半導体集積回路装置であって、

前記 MOS 容量の一端が接続された前記接地電位配線上の接続点と前記接地端子との間における前記接地電位配線の配線抵抗が、前記 MOS 容量の一端が接続された前記接地電位配線上の接続点と前記静電保護素子の他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする半導体集積回路装置。

【請求項 3】 前記接地端子と前記 MOS 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線に、前記静電保護素子以外の拡散層が接続されていないことを特徴とする請求項 1 または 2 のいずれかに記載の半導体集積回路装置。

【請求項 4】 入出力端子と、該入出力端子に一端が接続され、かつ他端が、接地電位を供給する接地電位配線に接続された第 1 の静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記接地配線に接続された MOS

S 容量と、前記第 1 の静電保護素子と前記 MOS 容量との間に該 MOS 容量に並列に接続された第 2 の静電保護素子とを有する半導体集積回路装置であって、

前記第 1 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点と前記第 2 の静電保護素子の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗が、前記第 2 の静電保護素子の一端が接続された前記接地電位配線上の接続点と前記 MOS 容量の前記他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする半導体集積回路装置。

【請求項 5】 入出力端子と、該入出力端子に一端が接続され、かつ他端が、接地電位を供給する接地電位配線に接続された第 1 の静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記接地配線に接続された第 2 の静電保護素子と、前記第 1 の静電保護素子と前記第 2 の静電保護素子との間に該第 2 の静電保護素子に並列に接続された MOS 容量とを有する半導体集積回路装置であって、

前記第 1 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点と前記 MOS 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗が、前記 MOS 容量の一端が接続された前記接地電位配線上の接続点と前記第 2 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする半導体集積回路装置。

【請求項 6】 前記第 1 の静電保護素子の他端が接続された前記接地電位配線上の 接続点と前記 MOS 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線に、前記第 1 の静電保護素子以外の拡散層が接続されていないことを特徴とする請求項 4 または 5 のいずれかに記載の半導体集積回路装置。

【請求項 7】 一つの接地端子に共通接続され、接地電位を供給する第 1、第 2 の接地電位配線と入出力端子とを有し、前記入出力端子に一端が接続され、他端が前記第 1 の接地電位配線に接続された静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記第 2 の接地電位配線に接続された MO

S 容量とを有する半導体集積回路装置であって、

前記第 2 の接地電位配線には、静電保護素子を介して入出力端子が接続されており、かつ前記接地端子と前記 MOS 容量の他端が接続された前記第 2 の接地電位配線の接続点との間には、拡散層が接続されていることを特徴とする半導体集積回路装置。

【請求項 8】 前記電源配線は所定の電源電圧が供給される電源端子に接続されていることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置。

【請求項 9】 前記電源配線は、第 1 の電源電圧が供給される電源端子に、前記第 1 の電源電圧を変換する電源電圧変換回路を介して接続されることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置。

【請求項 10】 前記静電保護素子は、前記 MOS 容量の絶縁破壊電圧より低いクランプ電圧で前記 MOS 容量の両端間に印加される電圧をクランプすることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置。

【請求項 11】 前記第 2 の静電保護素子は、前記 MOS 容量の絶縁破壊電圧より低いクランプ電圧で前記 MOS 容量の両端間に印加される電圧をクランプすることを特徴とする請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置。

【請求項 12】 前記静電保護素子は、ドレインが前記電源配線に接続され、かつソースとゲートとが前記接地電位配線に接続された MOS 電界効果トランジスタであることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置。

【請求項 13】 前記第 2 の静電保護素子は、ドレインが前記電源配線に接続され、かつソースとゲートとが前記接地電位配線に接続された MOS 電界効果トランジスタであることを特徴とする請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置。

【請求項 14】 前記静電保護素子は、第 1 の導電型の基板またはウェルに第 1 の導電型とは反対の導電型である第 2 の導電型の二つの拡散層を近接対向して配置することにより形成されたバイポーラトランジスタであることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置。

【請求項 1 5】 前記第 2 の静電保護素子は、第 1 の導電型の基板またはウェルに第 1 の導電型とは反対の導電型である第 2 の導電型の二つの拡散層を近接対向して配置することにより形成されたバイポーラトランジスタであることを特徴とする請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置。

【請求項 1 6】 前記静電保護素子は、第 1 の導電型の基板に近接して前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層を配置し、かつ前記第 1 の導電型の基板に形成された第 2 の導電型のウェルに前記第 1 の導電型の拡散層と前記第 2 の導電型の拡散層を近接対向して配置することにより形成されたサイリスタであることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置。

【請求項 1 7】 前記第 2 の静電保護素子は、第 1 の導電型の基板に近接して前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層を配置し、かつ前記第 1 の導電型の基板に形成された第 2 の導電型のウェルに前記第 1 の導電型の拡散層と前記第 2 の導電型の拡散層を近接対向して配置することにより形成されたサイリスタであることを特徴とする請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置。

【請求項 1 8】 前記静電保護素子は、第 1 の導電型の基板またはウェルに前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層とを近接対向配置して形成されたダイオードであることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置。

【請求項 1 9】 前記第 2 の静電保護素子は、第 1 の導電型の基板またはウェルに前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層とを近接対向配置して形成されたダイオードであることを特徴とする請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置に係り、特にデバイス帯電モデルによる静電気放電に起因する静電破壊の防止を図った半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】

半導体デバイスの微細化、高集積化に伴ない、半導体デバイスを取り扱う場合に生じる静電気放電（E S D : Electro - Static Discharge）現象が重要な問題となっている。すなわち、半導体デバイスの静電破壊は、この静電気放電現象により起こるからである。静電気放電現象は周知のように、人体モデル（Human Body Model ; HBM）, マシンモデル（Machine Model ; MM）及びデバイス帯電モデル（Charged Device Model ; CDM）の3つのモデルが主に提唱されている。

【0 0 0 3】

ここで人体モデルは、デバイスを扱う人体に帯電した電荷が、人体がデバイスに触れたときにデバイスに放電することにより発生する破壊モデルであり、マシンモデルは、人体より大容量を有し、放電抵抗が小さい金属製機器とデバイスが接触したときに発生する破壊モデルである。人体モデル及びマシンモデルの評価は一般に、デバイスにおける着目した2端子間に静電気を印加し、放電させるものがある。

またデバイス帯電モデルは、デバイスのパッケージまたはリードフレームが摩擦などにより帯電し、この電荷がデバイスの端子を通して放電されたときに発生する破壊モデルである。

【0 0 0 4】

【発明が解決しようとする課題】

最近になって自動化技術が発達したために、I C 試験工程の自動化や機器組み立て工程の自動化によって、デバイスの搬送時におけるパッケージの摩擦や帯電した製造装置等への接触によってデバイス自体が帯電するという、デバイス帯電モデルによる不良が多発する傾向にある。従来の半導体集積回路装置におけるデバイス帯電モデル（CDM）による静電破壊メカニズムと一般的対策について説明する。図17において、半導体集積回路装置300の入出力端子302は内部回路を構成するMOSトランジスタ304のゲートに接続されている。またMOSトランジスタ304のソースは接地配線306を介して接地端子308に接続

されている。

【0005】

また入出力端子302と接地端子308との間には静電保護素子310が接続され、デバイス帯電モデルによる静電破壊メカニズムを説明するため入出力端子302はスイッチ312を介して接地されるようになっている。ここで静電保護素子310は入出力端子302に外部から静電気が印加された時に、内部回路を構成するMOSトランジスタ304が破壊されるのを防ぐために設けられている。これは一般に人体モデルやマシンモデルの破壊に対する保護を目的に設けられている。

【0006】

一方、デバイス帯電モデルでの破壊メカニズムは、デバイス全体が何らかの要因で帯電している状態下で、ある入出力端子の電位が大地電位に落ちるとき、デバイスに帯電した電荷は、静電保護素子310を介して大地に放電される。この時、図17に示すように入出力端子302に接続されているMOSトランジスタ304のゲートに蓄積された電荷も入出力端子302から大地に放電される。この内部回路を構成するMOSトランジスタ304のゲートに蓄積された電荷は、接地電位配線306に充電された電荷に比べ、極端に少なく、極めて短時間で放電され、大地電位となる。この結果、内部回路のMOSトランジスタ304のゲートとソースとの間に大きな電位差が生じてゲートの絶縁破壊が起こる。この時、接地電位配線306の配線抵抗Rが大きい程、MOSトランジスタ304のゲートの絶縁破壊が起こりやすくなる。

【0007】

MOSトランジスタ304のゲートの絶縁破壊を防止する対策としては、図18に示すようにMOSトランジスタ304のゲートーソース間に近接して静電保護素子（CDM保護素子）314を設け、ゲートーソース間の電位差が静電保護素子314のクランプ電圧を越えないようにしている。このように、デバイス帯電モデルによる静電破壊の防止対策として、入出力端子に接続された内部回路トランジスタに対し、新たに静電保護素子（CDM保護素子）を設けることが一般的であった。このような公知技術としては例えば、Electrical Overstress / ec

trostatic Discharge Symposium Proceedings, September 27 - 29, 1988 PP. 220-227に記載されている。

【0008】

これに対し、電源配線と接地電位配線との間に設けたMOS容量が絶縁破壊するという現象も起こっている。この現象について図15及び図16を参照して説明する。図15において半導体集積回路装置201は、内部回路208を有しており、電源電圧を供給する電源配線200の一端と、接地電位が供給される接地電位配線202の一端とが接続されている。電源配線200と接地電位配線202との間には内部回路208に供給する電源電圧の変動を抑制する機能を有するMOS容量206が設けられており、接地電位配線202の他端は接地端子204に接続されている。なお、図15では本現象を説明するために接地端子204は放電試験用スイッチ210を介して接地されるようになっている。

【0009】

また図16に示す半導体集積回路装置201'は、内部回路208に電源配線200及び接地電位配線202が接続され、かつ電源配線200と接地電位配線202との間に接続されたMOS容量を有し、接地電位配線202の他端は接地端子204に接続されている。更に、半導体集積回路装置201'は、入出力端子212を有し、入出力端子212は静電保護素子214を介して接地電位配線202に接続されている。図15と同様に本現象を説明するために入出力端子212は放電試験用スイッチ211を介して接地されるようになっている。

なお、MOS容量206は多くの場合、内部回路208に印加する電源電圧の変動を抑制することを目的に設けられている。

【0010】

上記構成からなる半導体デバイスとしての半導体集積回路装置201、201'に対してデバイス全体を帯電させた後、図15に示す半導体集積回路装置201では、接地端子204より放電試験用スイッチ210をオン状態にすることによりスイッチ210を介して大地に放電させ、また図16に示す半導体集積回路装置201'では、入出力端子212より放電試験用スイッチ211をオン状態にすることによりスイッチ211を介して大地に放電させる。このとき半導体集

積回路装置 2 0 1 では、接地電位配線 2 0 2 の持つ容量に充電された電荷が接地端子 2 0 4 よりスイッチ 2 1 0 を介して放電され、また電源配線 2 0 0 の持つ容量に充電された電荷も電源配線 2 0 0 に接続された回路要素を介して放電される。
【0 0 1 1】

この場合に接地電位配線 2 0 2 の持つ容量に充電された電荷が接地端子 2 0 4 から放電される速度に比べ、電源配線 2 0 0 の持つ容量に充電された電荷が回路要素を介して接地端子 2 0 4 から放電される速度が遅いため、M O S 容量 2 0 6 の端子間に電位差 ΔV が発生し、この電位差 ΔV が M O S 容量の静電破壊耐圧 V_S を超えると、M O S 容量 2 0 6 が静電破壊されることになる。

【0 0 1 2】

同様に半導体集積回路装置 2 0 1' においても、接地電位配線 2 0 2 の持つ容量に充電された電荷が静電保護素子 2 1 4 を介して、入出力端子 2 1 2 から放電される速度に比べ、電源配線 2 0 0 の持つ容量に充電された電荷が回路要素を介して入出力端子 2 1 2 から放電される速度が遅いため、M O S 容量 2 0 6 の端子間に電位差 ΔV が発生し、この電位差 ΔV が M O S 容量 2 0 6 の静電破壊耐圧 V_S を超えると、M O S 容量 2 0 6 が静電破壊されることとなる。

なお、この場合には、先の半導体集積回路装置 2 0 1 における放電に比べて静電保護素子 2 1 4 のクランプ電圧分だけ M O S 容量端子間の電位差は緩和される。

【0 0 1 3】

入出力端子と接地電位配線間に設けられた、既述した H B M、M M 対応の静電保護素子と内部回路素子間の接地電位配線の配線抵抗が、H B M 及び M M 試験の静電破壊 (E S D) 耐量に及ぼす影響とその対策について従来技術として特公平 7 - 2 4 3 1 0 号公報、特許第 2 6 5 0 2 7 6 号公報、特開平 7 - 1 8 3 4 5 7 号公報に記載された半導体集積回路装置についての発明がある。

これらの発明は、本発明が対象としている、予め帯電したデバイスについて試験端子から放電させることにより静電放電試験を行うデバイス帯電モデルによる半導体集積回路装置の静電破壊とは異なるものである。

【0 0 1 4】

なお、特開平 7 - 1 8 3 4 5 7 号公報には、〔発明が解決しようとする課題〕に「CDMで与えられるような早い立ち上がりの異常電圧が入力端子に加えられた場合、…」と記載されているがその内容はHBMやMMの静電破壊についてであり、CDMの内容については記載されていない。

【0015】

したがって、対象とする破壊モデルが異なることから、上記従来技術（特公平 7 - 2 4 3 1 0 号公報、特許第 2 6 5 0 2 7 6 号公報、特開平 7 - 1 8 3 4 5 7 号公報に記載された半導体集積回路装置についての発明）の発明に係る半導体集積回路装置と後述する本発明に係る半導体集積回路装置では静電放電時の放電経路も異なる。また、後述する本発明では、静電破壊に対する被保護素子が、電源配線と接地電位配線との間に設けられたMOS容量であるのに対し、上述した従来技術の各発明で問題としているのは、入出力端子と接地電位配線間に存在するMOSトランジスタのゲートである。

【0016】

本発明はこのような事情に鑑みてなされたものであり、電源配線と接地電位配線との間に接続されたMOS容量を被保護素子とし、デバイス帯電モデルによる静電気放電時における静電破壊耐圧の向上を図った半導体集積回路装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

上記目的を達成するために請求項 1 に記載の発明は、一端が電源電圧を供給する電源配線に接続され、かつ他端が、接地電位を供給する接地電位配線に接続されたMOS容量と、前記接地電位配線の一端が接続された接地端子と、該接地端子と前記MOS容量との間に該MOS容量に並列に接続された静電保護素子とを有する半導体集積回路装置であって、前記静電保護素子の一端が接続された前記接地電位配線上の接続点と前記接地端子との間における前記接地電位配線の配線抵抗が、前記静電保護素子の一端が接続された前記接地電位配線上の接続点と前記MOS容量の他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする。

【 0 0 1 8 】

また請求項 2 に記載の発明は、一端が電源電圧を供給する電源配線に接続され、かつ他端が、接地電位を供給する接地電位配線に接続された静電保護素子と、前記接地電位配線の一端が接続された接地端子と、該接地端子と前記静電保護素子との間に該静電保護素子に並列に接続された M O S 容量とを有する半導体集積回路装置であって、前記 M O S 容量の一端が接続された前記接地電位配線上の接続点と前記接地端子との間における前記接地電位配線の配線抵抗が、前記 M O S 容量の一端が接続された前記接地電位配線上の接続点と前記静電保護素子の他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする。

【 0 0 1 9 】

また請求項 3 に記載の発明は、請求項 1 または 2 のいずれかに記載の半導体集積回路装置において、前記接地端子と前記 M O S 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線に、前記静電保護素子以外の拡散層が接続されていないことを特徴とする。

【 0 0 2 0 】

また請求項 4 に記載の発明は、入出力端子と、該入出力端子に一端が接続され、かつ他端が、接地電位を供給する接地電位配線に接続された第 1 の静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記接地配線に接続された M O S 容量と、前記第 1 の静電保護素子と前記 M O S 容量との間に該 M O S 容量に並列に接続された第 2 の静電保護素子とを有する半導体集積回路装置であって、前記第 1 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点と前記第 2 の静電保護素子の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗が、前記第 2 の静電保護素子の一端が接続された前記接地電位配線上の接続点と前記 M O S 容量の前記他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする。

【 0 0 2 1 】

また請求項 5 に記載の発明は、入出力端子と、該入出力端子に一端が接続され

、かつ他端が、接地電位を供給する接地電位配線に接続された第 1 の静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記接地配線に接続された第 2 の静電保護素子と、前記第 1 の静電保護素子と前記第 2 の静電保護素子との間に該第 2 の静電保護素子に並列に接続された MOS 容量とを有する半導体集積回路装置であって、前記第 1 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点と前記 MOS 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗が、前記 MOS 容量の一端が接続された前記接地電位配線上の接続点と前記第 2 の静電保護素子の前記他端が接続された前記接地電位配線上の接続点との間における前記接地電位配線の配線抵抗より大きいことを特徴とする。

【 0 0 2 2 】

また請求項 6 に記載の発明は、前記第 1 の静電保護素子の他端が接続された前記接地電位配線上の接続点と前記 MOS 容量の一端が接続された前記接地電位配線上の接続点との間における前記接地電位配線に、前記第 1 の静電保護素子以外の拡散層が接続されていないことを特徴とする。

【 0 0 2 3 】

また請求項 7 に記載の発明は、一つの接地端子に共通接続され、接地電位を供給する第 1、第 2 の接地電位配線と入出力端子とを有し、前記入出力端子に一端が接続され、他端が前記第 1 の接地電位配線に接続された静電保護素子と、電源電圧を供給する電源配線に一端が接続され、他端が前記第 2 の接地電位配線に接続された MOS 容量とを有する半導体集積回路装置であって、前記第 2 の接地電位配線には、静電保護素子を介して入出力端子が接続されておらず、かつ前記接地端子と前記 MOS 容量の他端が接続された前記第 2 の接地電位配線の接続点との間には、拡散層が接続されていることを特徴とする。

【 0 0 2 4 】

また請求項 8 に記載の発明は、請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置において、前記電源配線は所定の電源電圧が供給される電源端子に接続されていることを特徴とする。

【 0 0 2 5 】

また請求項 9 に記載の発明は、請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置において、前記電源配線は、第 1 の電源電圧が供給される電源端子に、前記第 1 の電源電圧を変換する電源電圧変換回路を介して接続されることを特徴とする。

【 0 0 2 6 】

また請求項 1 0 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置において、前記静電保護素子は、前記 MOS 容量の絶縁破壊電圧より低いクランプ電圧で前記 MOS 容量の両端間に印加される電圧をクランプすることを特徴とする。

【 0 0 2 7 】

また請求項 1 1 に記載の発明は、請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置において、前記第 2 の静電保護素子は、前記 MOS 容量の絶縁破壊電圧より低いクランプ電圧で前記 MOS 容量の両端間に印加される電圧をクランプすることを特徴とする。

【 0 0 2 8 】

また請求項 1 2 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置において、前記静電保護素子は、ドレインが前記電源配線に接続され、かつソースとゲートとが前記接地電位配線に接続された MOS 電界効果トランジスタであることを特徴とする。

【 0 0 2 9 】

また請求項 1 3 に記載の発明は、請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置において、前記第 2 の静電保護素子は、ドレインが前記電源配線に接続され、かつソースとゲートとが前記接地電位配線に接続された MOS 電界効果トランジスタであることを特徴とする。

【 0 0 3 0 】

また請求項 1 4 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置において、前記静電保護素子は、第 1 の導電型の基板またはウェルに第 1 の導電型とは反対の導電型である第 2 の導電型の二つの拡散層を近接対向して配置することにより形成されたバイポーラトランジスタであることを特徴とす

る。

【 0 0 3 1 】

また請求項 1 5 に記載の発明は、請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置において、前記第 2 の静電保護素子は、第 1 の導電型の基板またはウェルに第 1 の導電型とは反対の導電型である第 2 の導電型の二つの拡散層を近接対向して配置することにより形成されたバイポーラトランジスタであることを特徴とする。

【 0 0 3 2 】

また請求項 1 6 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置において、前記静電保護素子は、第 1 の導電型の基板に近接して前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層を配置し、かつ前記第 1 の導電型の基板に形成された第 2 の導電型のウェルに前記第 1 の導電型の拡散層と前記第 2 の導電型の拡散層を近接対向して配置することにより形成されたサイリスタであることを特徴とする。

【 0 0 3 3 】

また請求項 1 7 に記載の発明は、請求項 4 乃至 6 のいずれかに記載の半導体集積回路装置において、前記第 2 の静電保護素子は、第 1 の導電型の基板に近接して前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層を配置し、かつ前記第 1 の導電型の基板に形成された第 2 の導電型のウェルに前記第 1 の導電型の拡散層と前記第 2 の導電型の拡散層を近接対向して配置することにより形成されたサイリスタであることを特徴とする。

【 0 0 3 4 】

また請求項 1 8 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の半導体集積回路装置において、前記静電保護素子は、第 1 の導電型の基板またはウェルに前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層とを近接対向配置して形成されたダイオードであることを特徴とする。

【 0 0 3 5 】

また請求項 1 9 に記載の発明は、請求項 4 乃至 6 のいずれかに記載の半導体集

積回路装置において、前記第 2 の静電保護素子は、第 1 の導電型の基板またはウェルに前記第 1 の導電型の拡散層と前記第 1 の導電型とは反対の導電型である第 2 の導電型の拡散層とを近接対向配置して形成されたダイオードであることを特徴とする。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。本発明の第 1 の実施の形態に係る半導体集積回路装置の構成を図 1 に示す。同図において、半導体集積回路装置 1 は内部回路 20 を有しており、電源電圧を供給する電源配線 10 と、接地電位を供給する接地電位配線 12 が接続されている。さらに接地電位配線 12 には接地端子 14 が接続されている。なお、CDM試験の現象を説明するためにこの接地端子 14 は放電試験用スイッチ 2 を介して接地されるようになっている。

同図において一端が電源配線 10 に接続され、かつ他端が、接地電位配線 12 に接続された MOS 容量 16 が設けられている。なお、MOS 容量 16 は多くの場合、内部回路 20 に供給する電源電圧の変動を抑制することを目的に設けられている。

【0037】

また接地端子 14 と MOS 容量 16 との間に MOS 容量 16 に並列に静電保護素子（CDM保護素子）18 が接続されている。この静電保護素子 18 は MOS 容量 16 の絶縁破壊電圧（静電破壊耐圧）より低いクランプ電圧で、CDM試験時に MOS 容量 16 の両端間に生じる電圧をクランプする機能を有している。この静電保護素子 18 は、例えば、ドレインが電源配線 10 に接続され、かつソースとゲートとが接地電位配線 12 に接続された MOS 電界効果トランジスタである。また静電保護素子 18 としてバイポーラトランジスタ、サイリスタ、あるいはダイオード（寄生ダイオードを除く）であってもよい。

【0038】

また接地電位配線 12 において接地端子 14 と静電保護素子 18 の一端が接続された接地電位配線 12 上の接続点との間における前記接地電位配線の配線抵抗

R 1 が、静電保護素子 1 8 の一端が接続された接地電位配線 1 2 上の接続点と M O S 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R 2 より大きくなるように電源配線 1 0 及び接地電位配線 1 2 に対して M O S 容量 1 6 及び静電保護素子 1 8 が接続されている。

更に本実施の形態では、接地端子 1 4 と M O S 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 に、前記静電保護素子 1 8 以外の拡散層が接続されないように構成されている。

【 0 0 3 9 】

尚、電源配線 1 0 は所定の電源電圧が供給される電源端子に直接、接続されていてもよいし、図 2 に示すように所定の電源電圧が供給される電源端子 2 2 に電源電圧を昇圧また降圧する電源電圧変換回路 2 5 を介して接続されるように構成されてもよい。

【 0 0 4 0 】

上記構成において、半導体集積回路装置 1 全体を帯電させた後、放電試験用スイッチ 2 をオン状態にすることにより、接地端子 1 4 より接地電位配線 1 2 の持つ容量に充電された電荷は、大地に放電される。このとき M O S 容量 1 6 の両端間電圧は静電保護素子 1 8 により M O S 容量 1 6 の絶縁破壊電圧より低い電圧にクランプされる。したがって、M O S 容量 1 6 は静電破壊されず、保護される。

【 0 0 4 1 】

ところで、M O S 容量 1 6 を保護するには接地電位配線 1 2 の配線抵抗を考慮する必要がある。すなわち、M O S 容量 1 6 をデバイス帯電モデルによる静電破壊から保護するためには、静電保護素子 1 8 のクランプ電圧を V_C 、デバイス帯電モデルによる静電放電試験時に接地電位配線 1 2 の配線抵抗 R 2 に流れる電流を i とし、M O S 容量 1 6 の絶縁破壊電圧を V_{OX} とすると、

$$V_C + R_2 \cdot i < V_{OX} \quad (1)$$

を満たす必要が有る。式 (1) から配線抵抗 R 2 の値ができるだけ小さい方がよいが、零である必要はない。

【 0 0 4 2 】

また静電保護素子 1 8 がクランプ動作を開始するまでには多少時間がかかるの

で、接地電位配線 1 2 の配線抵抗 R_1 はある程度の大きさの抵抗値を有する必要がある。すなわち、仮に配線抵抗 R_1 が零であるとする、静電保護素子 1 8 がクランプ動作を開始する前に MOS 容量 1 6 が静電破壊する場合は有り得る。このために確実に MOS 容量 1 6 を保護するためには、配線抵抗 R_1 は内部回路動作上影響のない範囲である程度の大きさの抵抗値を有する必要がある、かつ配線抵抗 R_2 はできるだけ小さい方がよいので配線抵抗 R_1 、 R_2 は $R_1 > R_2$ の関係を満たす必要が有る。

【0043】

次に図 1 に示した本発明の第 1 の実施の形態に係る半導体集積回路装置の要部の構造の一例を示す平面図を図 7 に、図 7 における A-A' 線による断面図を図 8 にそれぞれ、示す。これらの図において、P 型半導体基板 1 0 0 には N^+ 拡散層 5 0、5 2、ゲートポリシリコン（ゲート電極）5 4 が形成され MOS 容量 1 6 を構成している。

【0044】

また MOS 容量 1 6 に隣接して P 型半導体基板 1 0 0 に N^+ 拡散層 5 6、5 8 が近接して対向配置するように形成され、ゲートポリシリコン（ゲート電極）6 0 と共に MOS トランジスタ（CDM 保護素子）1 8 を構成している。1 0 4 は層間絶縁膜、1 0 6 はアルミニウム配線、1 0 8 はパッシベーション膜である。 N^+ 拡散層 5 0、5 2 はアルミニウム配線 1 0 6 を介して接地電位配線 1 2 にコンタクト 5 1 により接続され、ゲートポリシリコン（ゲート電極）5 4 は電源配線 1 0 に接続されている。

【0045】

N^+ 拡散層 5 6（ソース）及びゲートポリシリコン（ゲート電極）6 0 はアルミニウム配線 1 0 6 を介して共通接続され、接地電位配線 1 2 に接続されている。また N^+ 拡散層 5 8（ドレイン）はアルミニウム配線 1 0 6 を介して電源配線 1 0 に接続されている。

【0046】

次に本発明の第 2 の実施の形態に係る半導体集積回路装置の構成を図 3 に示す。本実施の形態に係る半導体集積回路装置 1 A が第 1 の実施の形態に係る半導体

集積回路装置 1 と構成上、異なるのは電源配線 1 0 と接地電位配線 1 2 との間に並列接続される MOS 容量 1 6 と静電保護素子 1 8 との位置関係が、第 1 の実施の形態とは逆になる、すなわち、接地電位配線 1 2 において、接地端子 1 4 と静電保護素子 1 8 との間に静電保護素子 1 8 に並列に MOS 容量 1 6 が接続されている点であり、その他の構成は同様であるので、重複する説明は省略する。

【0047】

静電保護素子 1 8 として MOS 電界効果トランジスタ、バイポーラトランジスタ、サイリスタ、あるいはダイオード（寄生ダイオードを除く）であってもよいことは第 1 の実施の形態と同様である。

また接地電位配線 1 2 において接地端子 1 4 と MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R_3 が、MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点と静電保護素子 1 8 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R_4 より大きくなるように電源配線 1 0 及び接地電位配線 1 2 に対して MOS 容量 1 6 及び静電保護素子 1 8 が接続されている。配線抵抗 R_3 と配線抵抗 R_4 との関係 ($R_3 > R_4$) は、第 1 の実施の形態における配線抵抗 R_1 と配線抵抗 R_2 との関係 ($R_1 > R_2$) と同様である。

【0048】

更に本実施の形態においても第 1 の実施の形態と同様に、接地端子 1 4 と MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 に、前記静電保護素子 1 8 以外の拡散層が接続されないように構成されている。

【0049】

上記構成において、半導体集積回路装置 1 A 全体を帯電させた後、放電試験用スイッチ 2 をオン状態にすることにより、接地端子 1 4 より接地電位配線 1 2 の持つ容量に充電された電荷は、大地に放電される。このとき MOS 容量 1 6 の両端間電圧は静電保護素子 1 8 により MOS 容量 1 6 の絶縁破壊電圧より低い電圧にクランプされる。したがって、MOS 容量 1 6 は静電破壊されず、保護される。

【 0 0 5 0 】

尚、電源配線 1 0 は第 1 の実施の形態と同様に、所定の電源電圧が供給される電源端子に直接、接続されていてもよいし、図 2 に示すように所定の電源電圧が供給される電源端子 2 2 に電源電圧を昇圧また降圧する電源電圧変換回路 2 5 を介して接続されるように構成してもよい。また半導体集積回路装置 1 A の構造は MOS 容量 1 6 と静電保護素子 1 8 の位置関係が逆になるだけでその他の部分は第 1 の実施の形態（図 7、8）と同一であるので平面図及び断面図の図示を省略する。

【 0 0 5 1 】

次に本発明の第 3 の実施の形態に係る半導体集積回路装置の構成を第 4 図に示す。同図において、半導体集積回路装置 1 B は、入出力端子 3 0 を有しており、入出力端子 3 0 に一端が接続され、かつ他端が接地電位配線 1 2 に接続された静電保護素子 3 2 を有している。更に一端が電源配線 1 0 に接続され、かつ他端が、接地電位配線 1 2 に接続された MOS 容量 1 6 が設けられている。なお、CDM 試験を説明するために入出力端子 3 0 は放電試験用スイッチ 3 を介して接地されるようになっている。ここで入出力端子 3 0 は、入力端子、出力端子、あるいは入出力兼用（I/O）端子等を意味する。

【 0 0 5 2 】

また接地端子 1 4 と MOS 容量 1 6 との間に MOS 容量 1 6 に並列に静電保護素子（CDM 保護素子）1 8 が接続されている。この静電保護素子 1 8 は MOS 容量 1 6 の絶縁破壊電圧（静電破壊耐圧）より低いクランプ電圧で CDM 試験時に MOS 容量 1 6 の両端間に生じる電圧をクランプする機能を有している。ここで静電保護素子 3 2 は人体モデル、もしくはマシンモデルによる静電破壊を防止する目的で設けられているものであり、静電保護素子 1 8 は第 1、第 2 の実施の形態と同様にデバイス帯電モデルによる静電破壊を防止する目的で設けられている。

【 0 0 5 3 】

更に接地電位配線 1 2 において静電保護素子 3 2 の一端が接続された接地電位配線 1 2 上の接続点と静電保護素子 1 8 の一端が接続された接地電位配線 1 2 上

の接続点との間における接地電位配線 1 2 の配線抵抗 R 5 が、接地電位配線 1 2 において静電保護素子 1 8 の一端が接続された接地電位配線 1 2 上の接続点と M O S 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R 6 より大きくなるように電源配線 1 0 及び接地電位配線 1 2 に対して M O S 容量 1 6 及び静電保護素子 1 8 が接続されている。

更に本実施の形態では、接地電位配線 1 2 において、静電保護素子 3 2 の一端が接続された接地電位配線 1 2 上の接続点と M O S 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 に、前記静電保護素子 1 8 以外の拡散層が接続されないように構成されている。

【 0 0 5 4 】

尚、電源配線 1 0 は所定の電源電圧が供給される電源端子に直接、接続されていてよいし、図 2 に示すように所定の電源電圧が供給される電源端子 2 2 に電源電圧を昇圧また降圧する電源電圧変換回路 2 5 を介して接続されるように構成されてもよい。

【 0 0 5 5 】

上記構成において、半導体集積回路装置 1 B 全体を帯電させた後、放電試験用スイッチ 3 をオン状態にすることにより、接地電位配線 1 2 の持つ容量に充電された電荷は、静電保護素子 3 2、入出力端子 3 0 を介して大地に放電される。このとき M O S 容量 1 6 の両端間電圧は静電保護素子 1 8 により M O S 容量 1 6 の絶縁破壊電圧より低い電圧にクランプされる。したがって、M O S 容量 1 6 は静電破壊されず、保護される。なお、接地電位配線 1 2 の配線抵抗 R 5 と配線抵抗 R 6 との関係は第 1 の実施の形態における接地電位配線 1 2 の配線抵抗 R 1 と配線抵抗 R 2 との関係と同じであるので、重複する説明は省略する。

【 0 0 5 6 】

次に本発明の第 4 の実施の形態に係る半導体集積回路装置の構成を図 5 に示す。本実施の形態に係る半導体集積回路装置 1 C が第 3 の実施の形態に係る半導体集積回路装置 1 B と構成上、異なるのは電源配線 1 0 と接地電位配線 1 2 との間に並列接続される M O S 容量 1 6 と静電保護素子 1 8 との位置関係が、第 3 の実施の形態とは逆になる、すなわち、接地電位配線 1 2 において、接地端子 1 4 と

静電保護素子 1 8 との間に静電保護素子 1 8 に並列に MOS 容量 1 6 が接続されている点であり、その他の構成は同様であるので、重複する説明は省略する。

【 0 0 5 7 】

静電保護素子 1 8 として MOS 電界効果トランジスタ、バイポーラトランジスタ、サイリスタ、あるいはダイオード（寄生ダイオードを除く）であってもよいことは第 1、第 2、第 3 の実施の形態と同様である。

また接地電位配線 1 2 において静電保護素子 3 2 の一端が接続されている接地電位配線 1 2 上の接続点と MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R_7 が、接地電位配線 1 2 において MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点と静電保護素子 1 8 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 の配線抵抗 R_8 より大きくなるように電源配線 1 0 及び接地電位配線 1 2 に対して MOS 容量 1 6 及び静電保護素子 1 8 が接続されている。配線抵抗 R_7 と配線抵抗 R_8 との関係 ($R_7 > R_8$) は、第 1 の実施の形態における配線抵抗 R_1 と配線抵抗 R_2 との関係 ($R_1 > R_2$) と同様である。

【 0 0 5 8 】

更に本実施の形態においても第 3 の実施の形態と同様に、接地電位配線 1 2 において、静電保護素子 3 2 の一端が接続された接地電位配線 1 2 上の接続点と MOS 容量 1 6 の一端が接続された接地電位配線 1 2 上の接続点との間における接地電位配線 1 2 に、前記静電保護素子 1 8 以外の拡散層が接続されないように構成されている。

【 0 0 5 9 】

上記構成において、半導体集積回路装置 1 C 全体を帯電させた後、放電試験用スイッチ 3 をオン状態にすることにより、接地電位配線 1 2 の持つ容量に充電された電荷は、静電保護素子 3 2、入出力端子 3 0 を介して大地に放電される。このとき MOS 容量 1 6 の両端間電圧は静電保護素子 1 8 により MOS 容量 1 6 の絶縁破壊電圧より低い電圧にクランプされる。したがって、MOS 容量 1 6 は静電破壊されず、保護される。

【 0 0 6 0 】

尚、電源配線 1 0 は第 1 の実施の形態と同様に、所定の電源電圧が供給される電源端子に直接、接続されていてもよいし、図 2 に示すように所定の電源電圧が供給される電源端子 2 2 に電源電圧を昇圧また降圧する電源電圧変換回路 2 5 を介して接続されるように構成してもよい。

【 0 0 6 1 】

次に図 4 に示した本発明の第 3 の実施の形態に係る半導体集積回路装置 1 B の要部の構造の一例を示す平面図を図 9 に、図 9 における B - B' 線による断面図を図 1 0 にそれぞれ、示す。これらの図において、P 型半導体基板 1 0 0 には N^+ 拡散層 5 0、5 2、ゲートポリシリコン（ゲート電極）5 4 が形成され MOS 容量 1 6 を構成している。

【 0 0 6 2 】

また MOS 容量 1 6 に隣接して P 型半導体基板 1 0 0 に N^+ 拡散層 7 0、7 2 が近接して対向配置するように形成され、バイポーラトランジスタ（CDM 保護素子）1 8 を構成している。1 0 4 は層間絶縁膜、1 0 6 はアルミニウム配線、1 0 8 はパッシベーション膜である。 N^+ 拡散層 5 0、5 2 はアルミニウム配線 1 0 6 を介して接地電位配線 1 2 にコンタクト 5 1 により接続され、ゲートポリシリコン（ゲート電極）5 4 は電源配線 1 0 に接続されている。

【 0 0 6 3 】

また N^+ 拡散層 7 0 はアルミニウム配線 1 0 6 を介して接地電位配線 1 2 に接続され、 N^+ 拡散層 7 2 はアルミニウム配線 1 0 6 を介して電源配線 1 0 に接続されている。

また図 9 に示すように P 型半導体基板 1 0 0 に N^+ 拡散層 7 4、7 6 が近接して対向配置されてバイポーラトランジスタが形成されており、このバイポーラトランジスタは静電保護素子 3 2 を構成しており、 N^+ 拡散層 7 4 は接地電位配線 1 2 に接続され、 N^+ 拡散層 7 6 は入出力端子 3 0 に接続されている。なお、図 9 において、入出力端子 3 0 には静電保護素子 3 2 に加えて内部回路への配線 3 4 が接続されている。

【 0 0 6 4 】

次に図 4 に示した本発明の第 3 の実施の形態に係る半導体集積回路装置 1 B の

要部の構造の他の例を示す平面図を図 1 1 に、図 1 1 における B - B' 線による断面図を図 1 2 にそれぞれ、示す。本例が図 9、図 1 0 に示した例と異なるのは、静電保護素子（CDM 保護素子）1 8 として P 型半導体基板 1 0 0 に N⁺拡散層 8 0 と P⁺拡散層 8 2 とを近接して対向させるように形成して得られる PN ダイオードを用いた点であり、他の構造は同一であるので同一の要素には同一の符号を付し、重複する説明を省略する。尚、N⁺拡散層 8 0 はアルミニウム配線 1 0 6 を介して電源配線 1 0 に接続され、P⁺拡散層 8 2 は接地電位配線 1 2 に接続されている。

【0 0 6 5】

次に図 4 に示した本発明の第 3 の実施の形態に係る半導体集積回路装置 1 B の要部の構造の他の例を示す平面図を図 1 3 に、図 1 3 における C - C' 線による断面図を図 1 4 にそれぞれ、示す。本例が図 9、図 1 0 に示した例と異なるのは、静電保護素子（CDM 保護素子）1 8 として P 型半導体基板 1 0 0 に P⁺拡散層 1 1 0 と N⁺拡散層 1 1 2 とを近接して対向させるように形成し、N⁺拡散層 1 1 2 に隣接して P 型半導体基板 1 0 0 に形成された N ウェル 1 2 0 内に P⁺拡散層 1 2 2 と N⁺拡散層 1 2 4 とを近接して対向させるように形成し、これら P⁺拡散層 1 1 0、N⁺拡散層 1 1 2、N ウェル 1 2 0、P⁺拡散層 1 2 2、N⁺拡散層 1 2 4 により形成されたサイリスタを、静電保護素子（CDM 保護素子）1 8 として用いた点であり、他の構造は同一であるので同一の要素には同一の符号を付し、重複する説明を省略する。

【0 0 6 6】

尚、P⁺拡散層 1 1 0、N⁺拡散層 1 1 2 は接地電位配線 1 2 に接続され、P⁺拡散層 1 2 2、N⁺拡散層 1 2 4 は電源配線 1 0 に接続されている。またサイリスタを構成する N⁺拡散層、P⁺拡散層の配置は、図 1 3 の配置に限定するものでなく、サイリスタ機能を有する構造であれば、N⁺拡散層、P⁺拡散層、N ウェルの配置は適宜変更してもよい。

【0 0 6 7】

本発明の第 4 の実施の形態に係る半導体集積回路装置 1 C の構造を図 5 に示す。同図においては MOS 容量 1 6 と静電保護素子 1 8 の位置関係が逆になるだけ

でその他の部分は第 3 の実施の形態と同一であるので平面図、断面図の図示を省略する。

【 0 0 6 8 】

本発明の第 5 の実施の形態に係る半導体集積回路装置の構成を図 6 に示す。同図において半導体集積回路装置 1 D は、入出力端子 3 0 と、接地端子 1 4 とを有している。また半導体集積回路装置 1 D は、接地端子 1 4 に共通接続され、接地電位を供給する第 1 の接地電位配線 3 4 と、接地電位を供給する第 2 の接地電位配線 3 5 とを有している。

【 0 0 6 9 】

半導体集積回路装置 1 D は、入出力端子 3 0 に一端が接続され、他端が第 1 の接地電位配線 3 4 に接続された静電保護素子 3 2 と、電源配線 1 0 に一端が接続され、他端が第 2 の接地電位配線 3 5 に接続された、M O S 容量 1 6 とを有している。さらに接地端子 1 4 と M O S 容量 1 6 との間の第 2 の接地電位配線 3 5 には拡散層 1 3 6 が接続されている。また、C D M 試験を説明するために入出力端子 3 0 は放電試験用スイッチ 3 を介して接地されるようになっている。

本実施の形態ではデバイス帯電モデルによる静電放電試験時には、第 1 の接地電位配線 3 4 がもつ容量に充電された電荷が、保護素子 3 2 を経由して入出力端子 3 0 から放電される。また、第 2 の接地電位配線 3 5 がもつ容量及び拡散層 1 3 6 の容量に充電された電荷も同じく保護素子 3 2 を経由して入出力端子から放電される。この時、第 2 の接地電位配線 3 5 には、拡散層 1 3 6 が接続されているので半導体基板にある電荷も放電されるので M O S 容量 1 6 の両端子間に生じる電位差が緩和される。従って M O S 容量 1 6 は静電破壊されず、保護される。

【 0 0 7 0 】

尚、電源配線 1 0 は所定の電源電圧が供給される電源端子に直接、接続されていてもよいし、図 2 に示すように所定の電源電圧が供給される電源端子 2 2 に電源電圧を昇圧また降圧する電源電圧変換回路 2 5 を介して接続されるように構成されてもよい。

【 0 0 7 1 】

本発明の第 5 の実施の形態に係る半導体集積回路装置によれば、M O S 容量を

保護するための静電保護素子を新たに設けることなく、MOS容量のデバイス帯電モデルによる静電破壊を防止することができる。

【0072】

本発明においてMOS容量の静電破壊を防止する為にCDM保護素子としてMOS電界効果トランジスタ、バイポーラトランジスタ、サイリスタ、ダイオードを述べたがこれに限るものではない。また、これらを組み合わせても良く、あるいは動作速度を速くする為に付加的な素子と組み合わせてもよい。また、電源配線や接地電位配線はアルミニウム配線に限るものではなく他の配線材料（例えば銅）でもよい。そして電源配線と接地電位配線は異なる配線材料であってもよいし、同一工程で形成される配線でなくてもよい。

【0073】

【発明の効果】

本発明を適用した製品において、適用前でのCDM試験時のMOS容量の静電破壊耐圧は、500～600Vであったが、適用後の静電破壊耐圧は、1000V以上と大幅に向上した。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体集積回路装置の構成を示すブロック図。

【図2】 図1における電源配線の電源供給系統の他の例を示すブロック図。

【図3】 本発明の第2の実施の形態に係る半導体集積回路装置の構成を示すブロック図。

【図4】 本発明の第3の実施の形態に係る半導体集積回路装置の構成を示すブロック図。

【図5】 本発明の第4の実施の形態に係る半導体集積回路装置の構成を示すブロック図。

【図6】 本発明の第5の実施の形態に係る半導体集積回路装置の構成を示すブロック図。

【図7】 図1に示した半導体集積回路装置の要部の構造を示す平面図。

【図 8】 図 7 における A－A' 線による断面図。

【図 9】 図 4 に示した半導体集積回路装置の要部の構造の一例を示す平面図。

【図 1 0】 図 9 における B－B' 線による断面図。

【図 1 1】 図 4 に示した半導体集積回路装置の要部の構造の他の例を示す平面図。

【図 1 2】 図 1 1 における C－C' 線による断面図。

【図 1 3】 図 4 に示した半導体集積回路装置の要部の構造の更に他の例を示す平面図。

【図 1 4】 図 1 3 における D－D' 線による断面図。

【図 1 5】 従来の半導体集積回路装置の一例の構成を示すブロック図。

【図 1 6】 従来の半導体集積回路装置の他の例の構成を示すブロック図。

【図 1 7】 従来の半導体集積回路装置におけるデバイス帯電モデルによる静電破壊メカニズムを説明するためのブロック図。

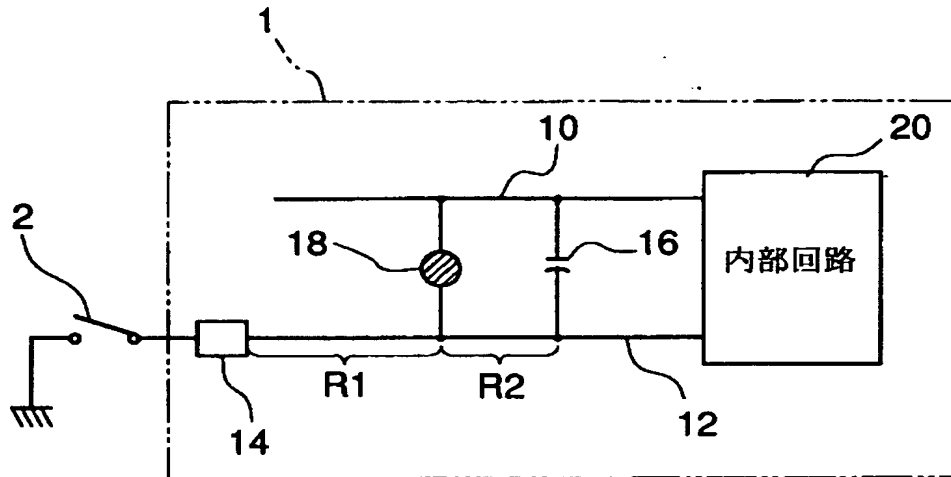
【図 1 8】 従来の半導体集積回路装置におけるデバイス帯電モデルによる静電破壊メカニズムと一般的対策について説明するためのブロック図。

【符号の説明】

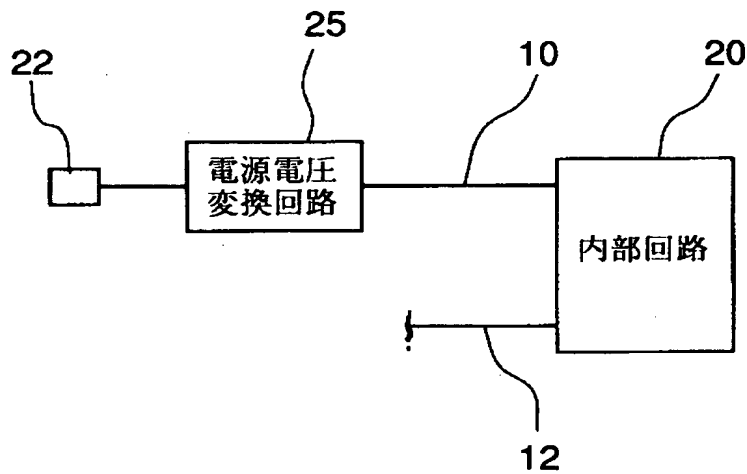
- 1、1 A～1 D 半導体集積回路装置
- 2、3 放電試験用スイッチ
- 1 0 電源配線
- 1 2 接地電位配線
- 1 4 接地端子
- 1 6 MOS 容量
- 1 8 静電保護素子（CDM 保護素子）
- 2 0 内部回路
- 3 0 入出力端子
- 3 2 静電保護素子
- 3 4、3 5 接地電位配線

【書類名】 図面

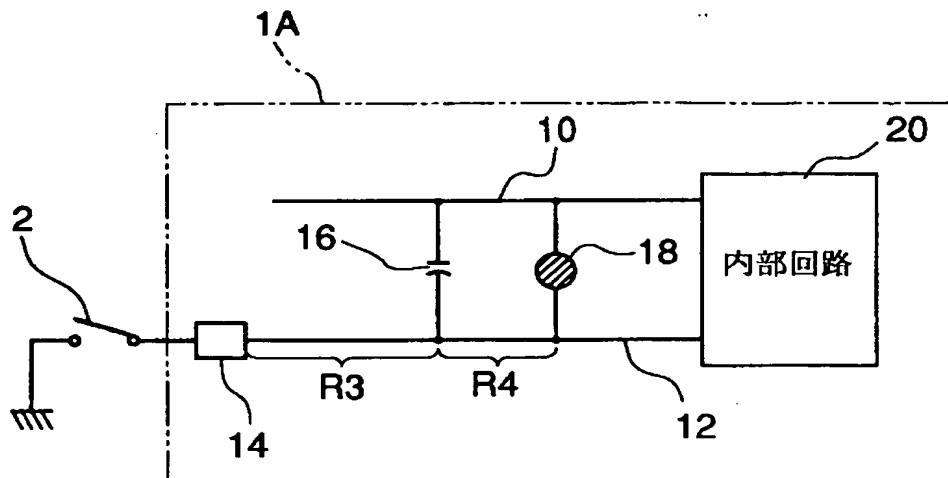
【図 1】



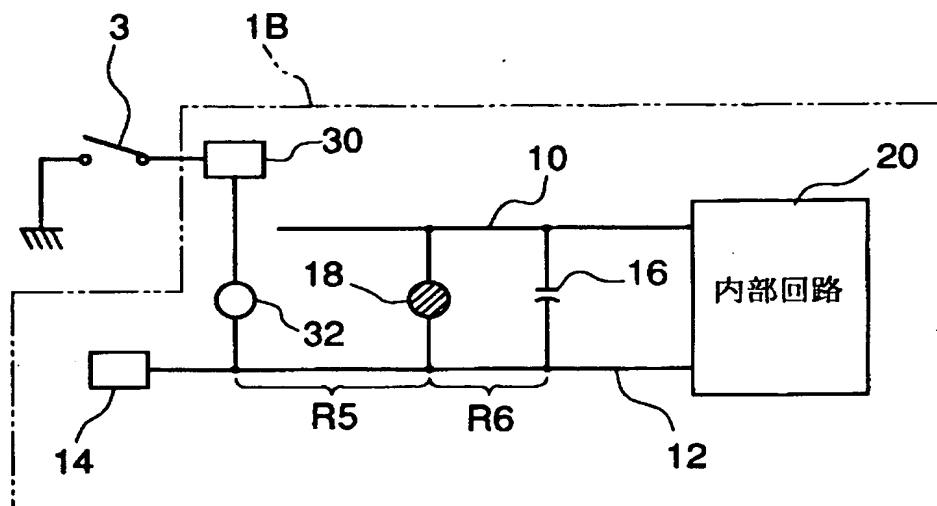
【図 2】



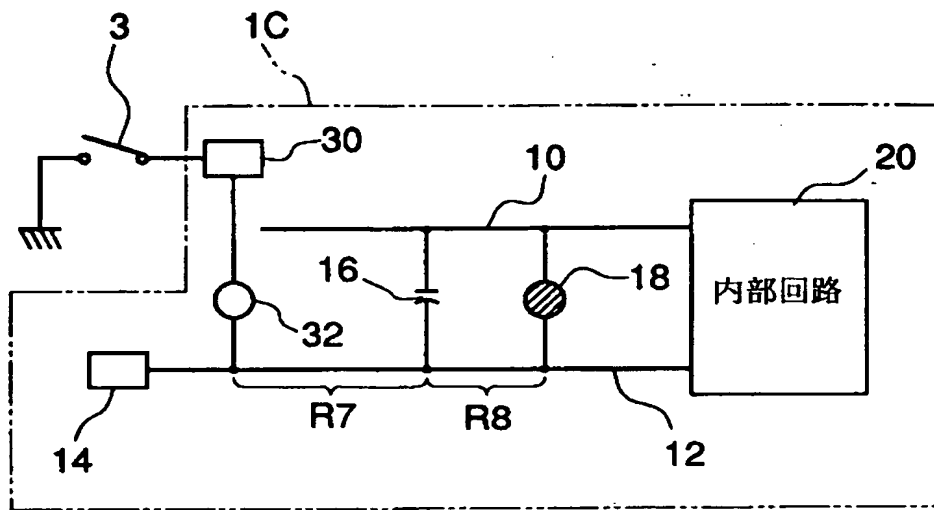
【図 3】



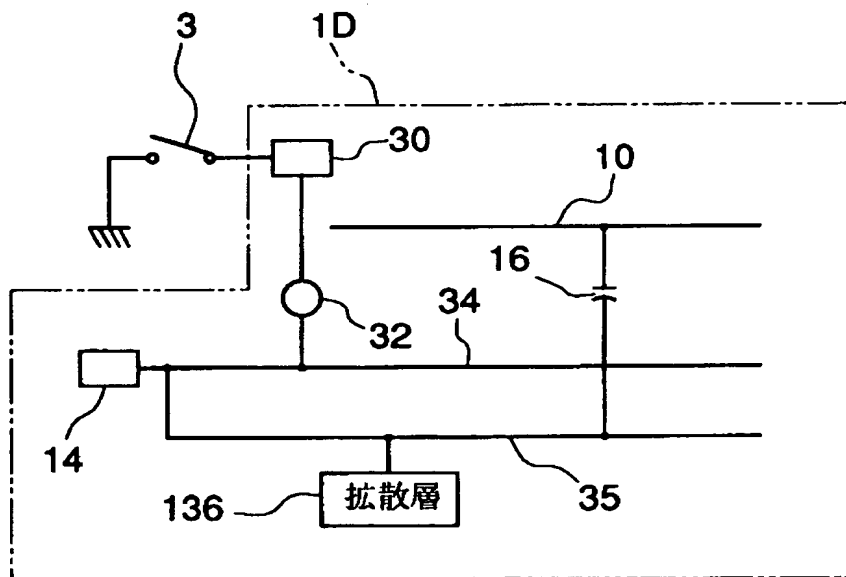
【図 4】



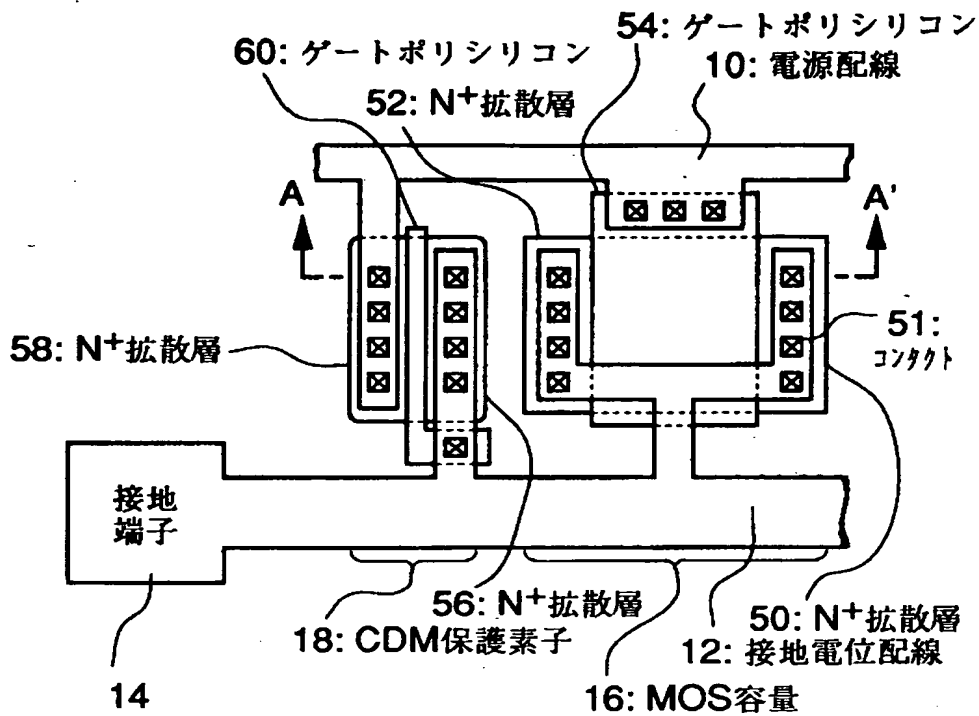
【図 5】



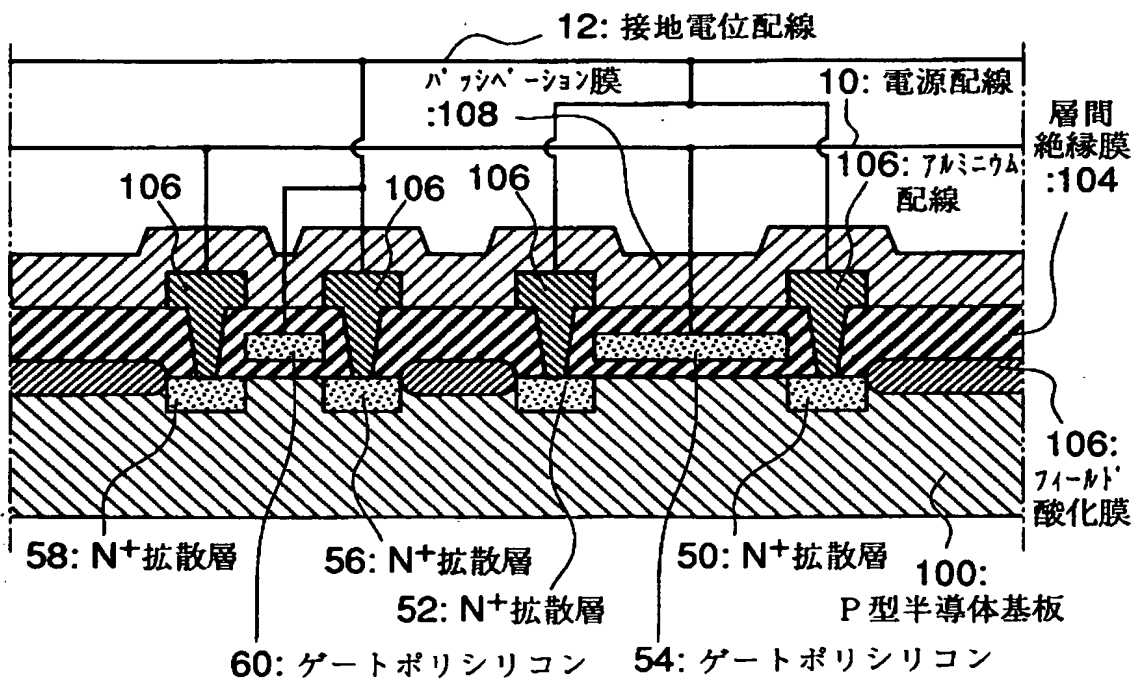
【図 6】



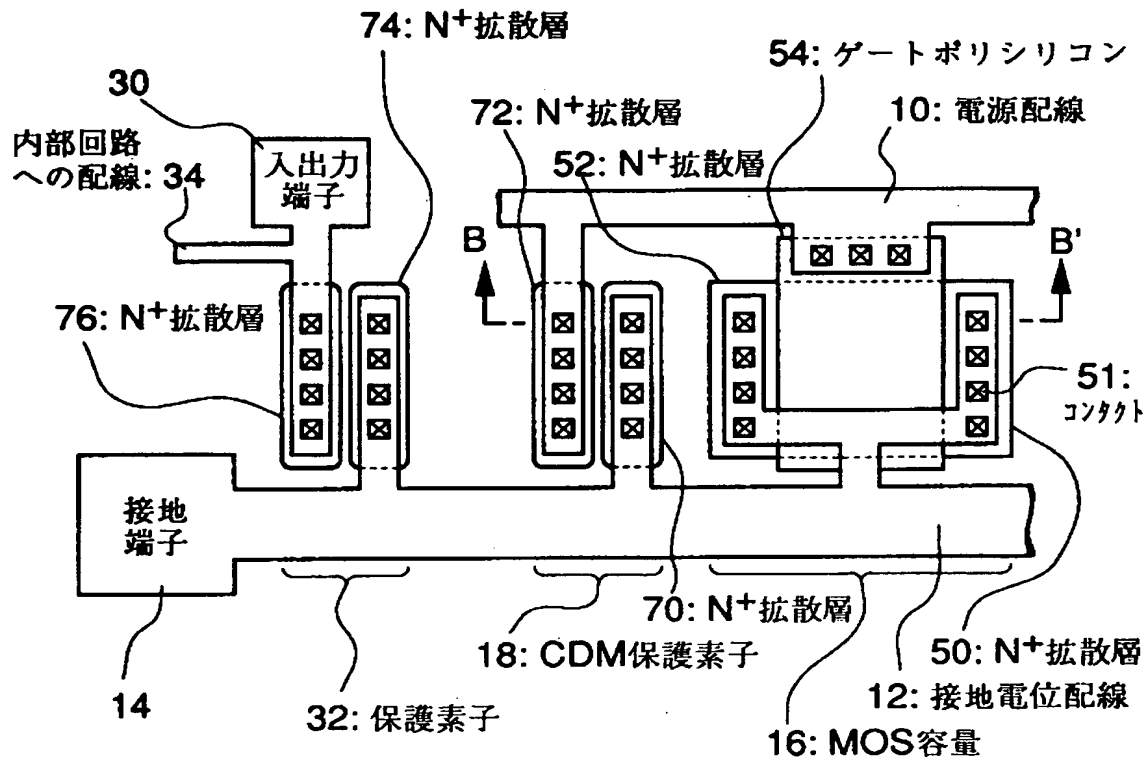
【図 7】



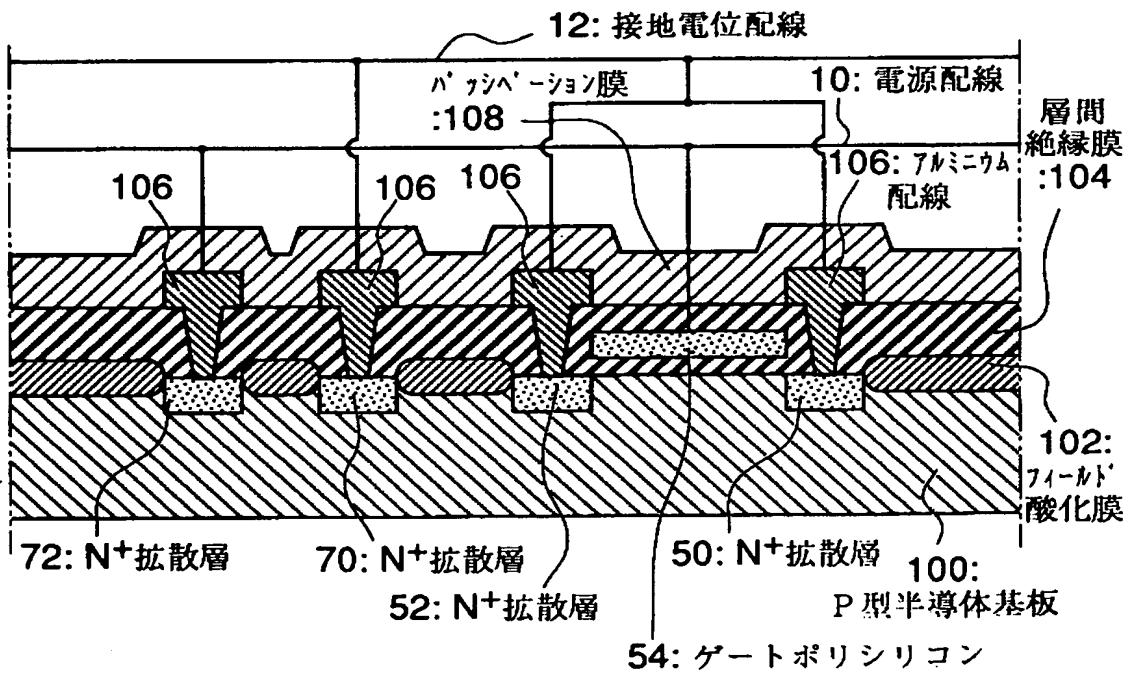
【図 8】



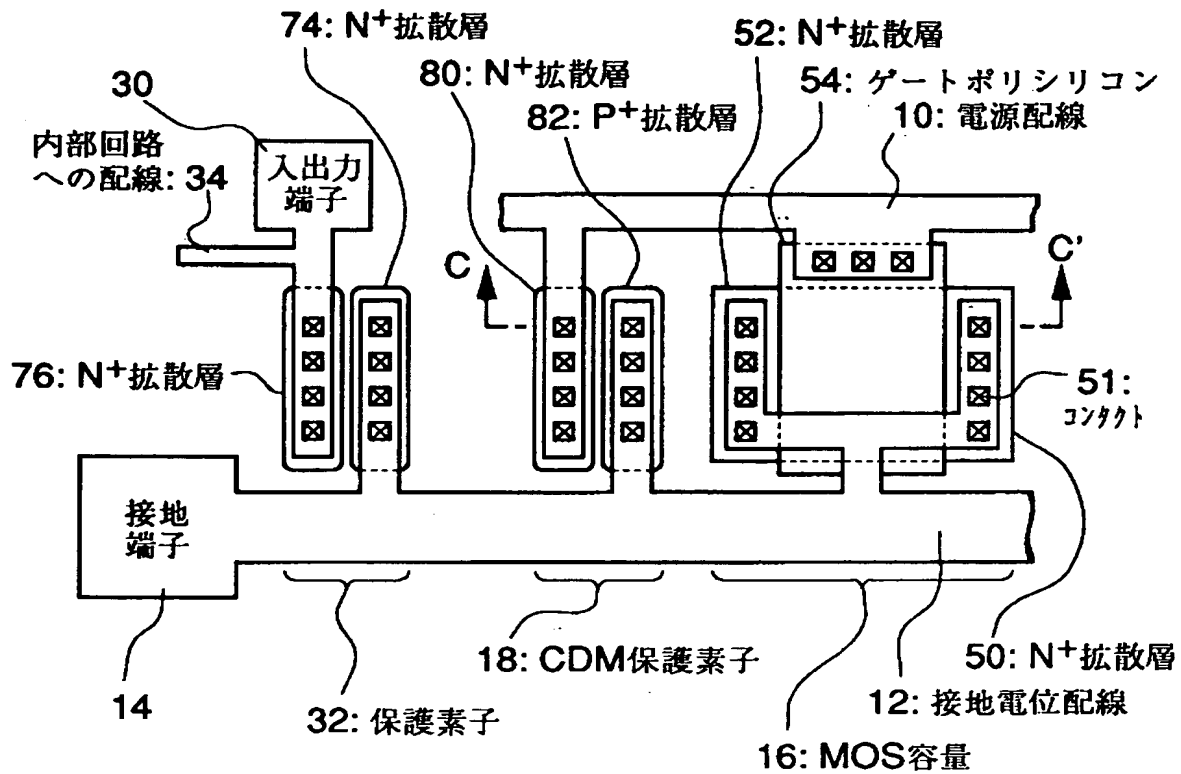
【図 9】



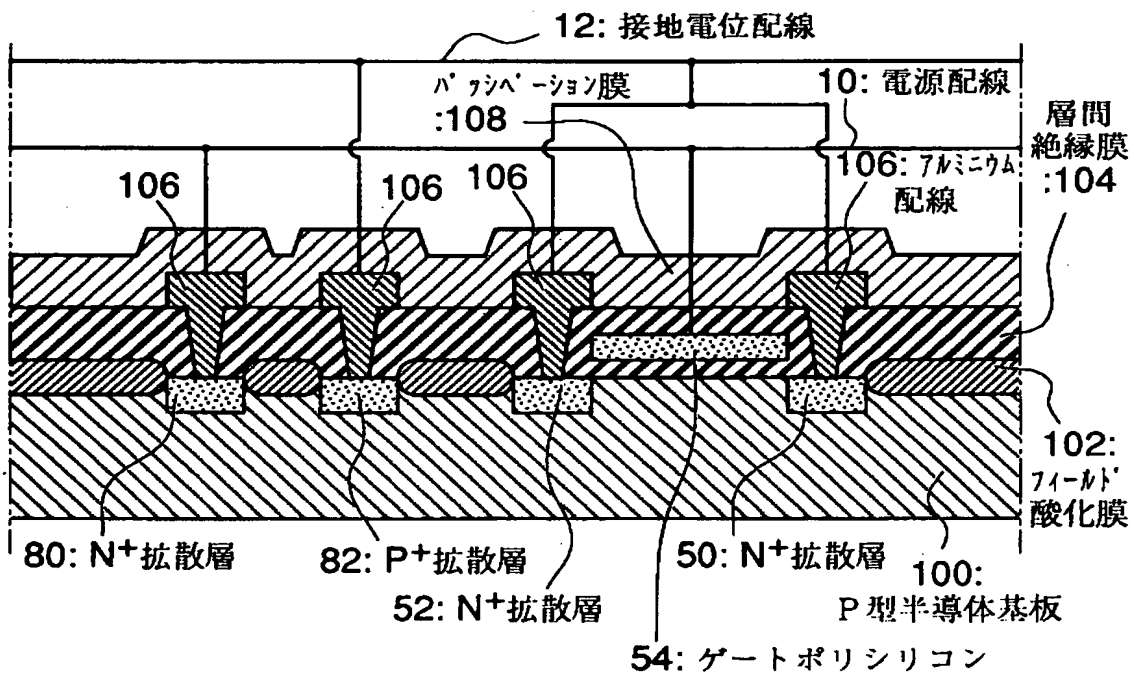
【図 1 0】



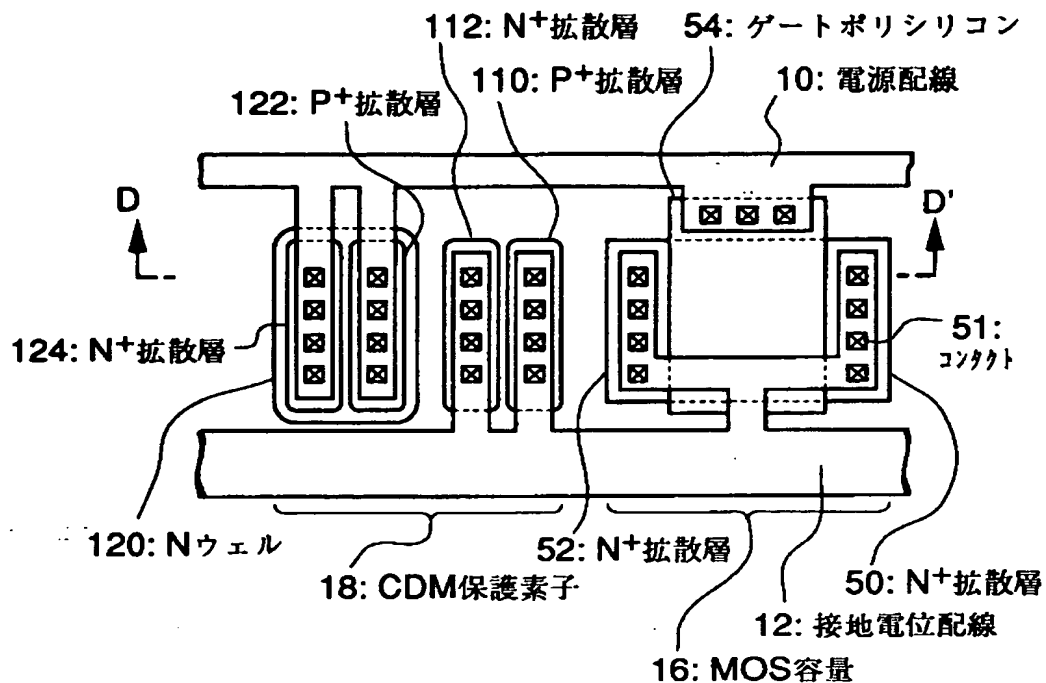
【図 1 1】



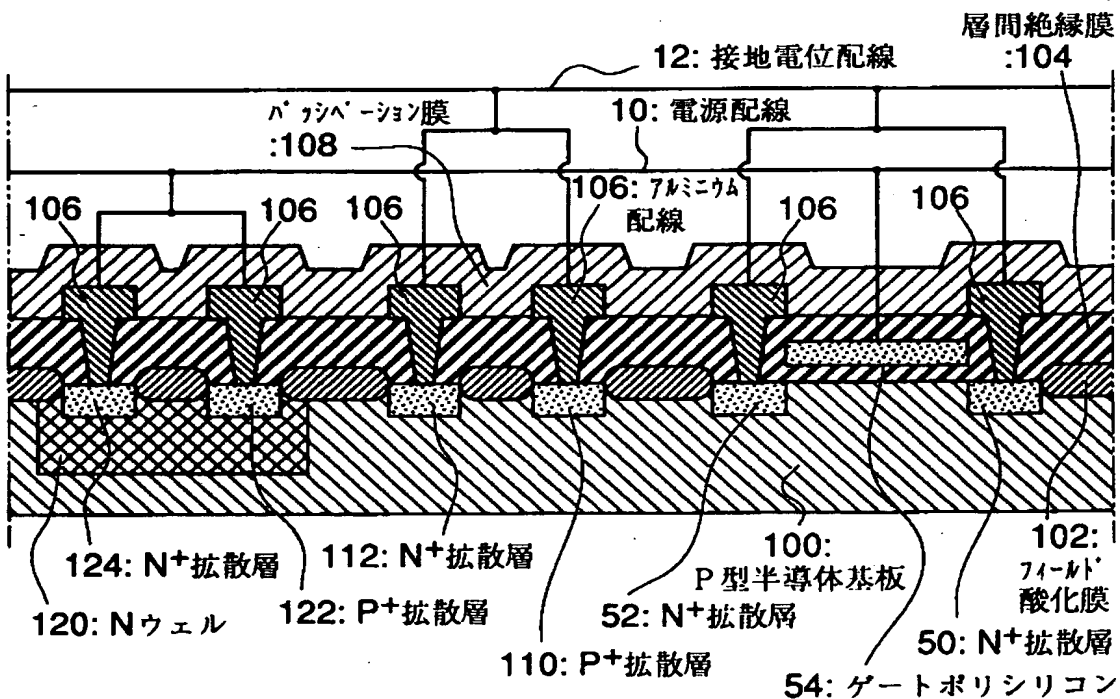
【図 1 2】



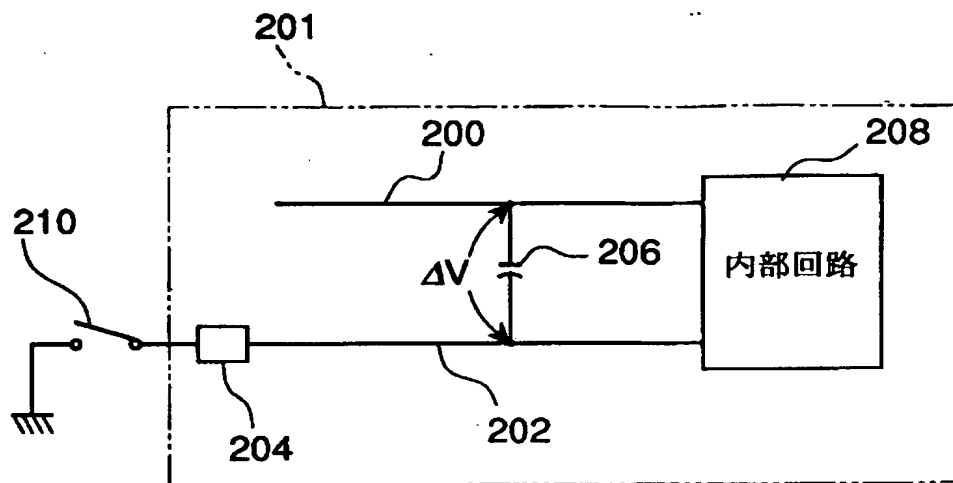
【図 1 3】



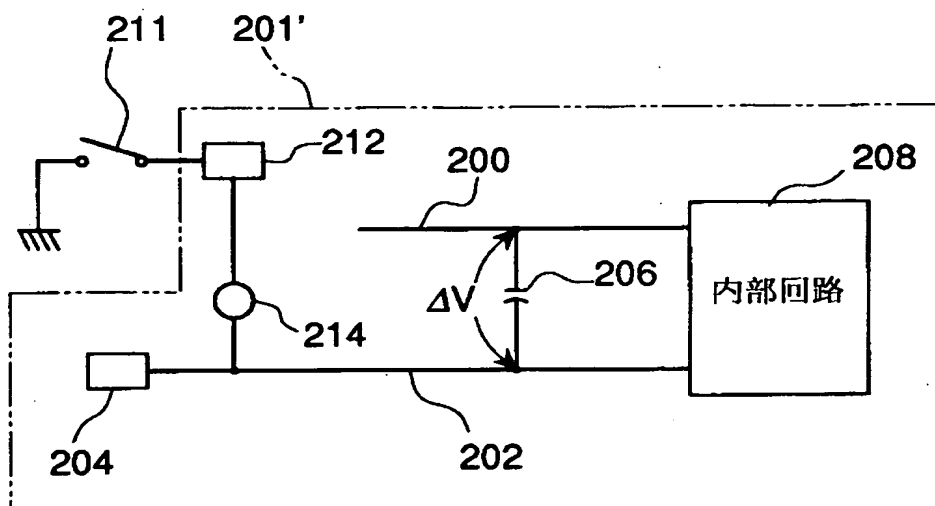
【図 1 4】



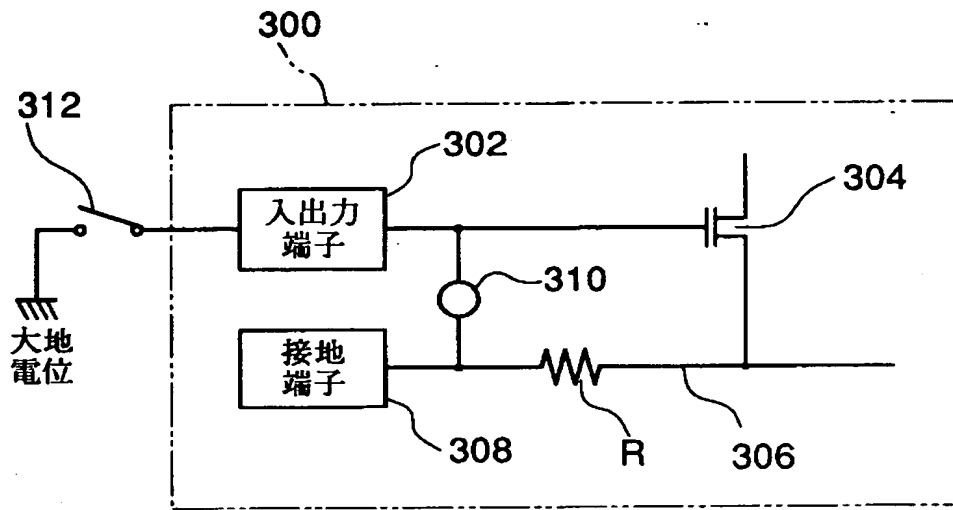
【図 1 5】



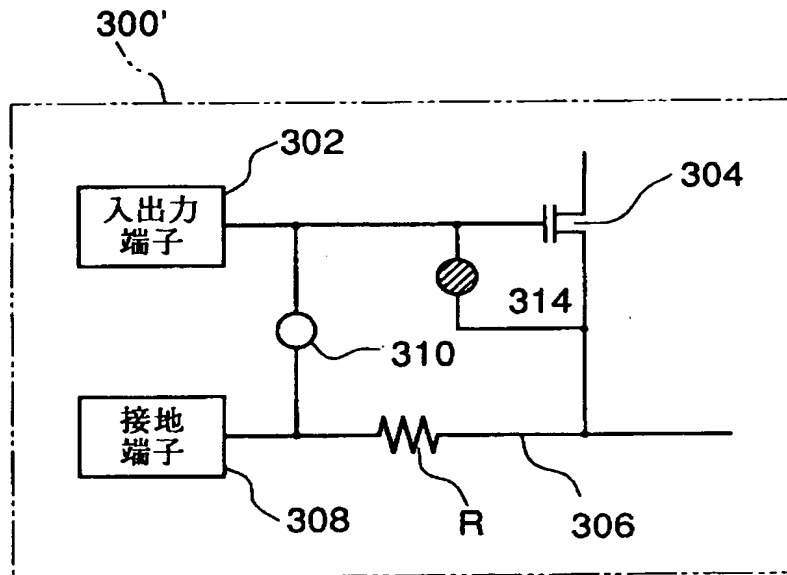
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 内部回路の入力側に設けられたMOS容量を被保護素子とし、デバイス帯電モデルによる静電放電時における静電破壊耐圧の向上を図った半導体集積回路装置を提供する。

【解決手段】 外部信号が入力される内部回路20と、一端が電源電圧を供給する電源配線10に接続され、かつ他端が、接地電位を供給する接地電位配線12に接続された、前記内部回路MOS容量16と、接地電位配線の一端が接続された接地端子14と、該接地端子とMOS容量との間に該MOS容量に並列に接続された静電保護素子18とを有し、接地電位配線において前記接地端子と前記静電保護素子の一端が接続された接続点との間における前記接地電位配線の配線抵抗R1が、前記静電保護素子の一端が接続された接続点と前記MOS容量の他端が接続された接続点との間における接地電位配線の配線抵抗R2より大きくする。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第234811号
受付番号	59900807502
書類名	特許願
担当官	東海 明美 7069
作成日	平成11年 8月27日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社